

MATERIAL FOR INFORMATION DISCLOSURE STATEMENT
(Our Ref.: Y-279)

List of Prior Art References

1. Japanese Patent Registered No. 3204168,
registered on June 29, 2001

Comments

Reference 1

This reference discloses an invention relating to a semiconductor integrated circuit that can alleviate the lowering of the on-state withstand voltage of a transistor. However, this reference discloses nothing about the static withstand voltage of a MOSFET for an open-drain circuit.

By contrast, according to the present invention, an open-drain N-channel MOSFET has a drain region formed of an N-type semiconductor layer, a P-type impurity diffusion layer formed within the drain region, two high-concentration N-type impurity diffusion layers formed within the drain region so as to sandwich the P-type impurity diffusion layer, and a drain electrode connected to the P-type impurity diffusion layer and to the two high-concentration N-type impurity diffusion layers. When a positive static electric charge is applied to the drain, a parasitic transistor appears that forms a route by way of which the static electric charge is discharged. This helps obtain a higher static withstand voltage.

A

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-084046

(43)Date of publication of application : 31.03.1998

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 27/04

H01L 21/822

H01L 29/78

(21)Application number : 09-196055

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 22.07.1997

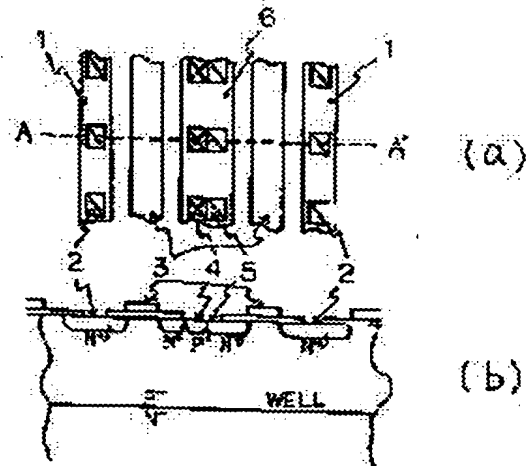
(72)Inventor : SAKURAI YOICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid decline in the on-breakdown strength due to the enlargement of a FET by a method wherein both diffusion and contact means for making a substrate or a well conductive are provided on the parts exceeding half the contact between source diffusion and a wiring.

SOLUTION: A source diffused substrate contact 4 is evenly provided is a source diffused region of MOS transistor as well as a contact 5 between the source diffusion and a source alumi wiring is provided near the contact 4. Thus, the carrier implanted in the well is efficiently discharged so as to reduce the carrier accumulation in the well for increasing the on-breakdown strength. Accordingly, excellent suppression effect on the decline in the on-breakdown strength due to the enlargement of a FET can be gained. Also, the excellent suppression effect on the latch up as a peculiar phenomenon to a CMOSIC can be gained. Furthermore, due to less current from a parasitic bipolar transistor comparing with the externally applied current, the increase in the power supply current by the current can be avoided.



LEGAL STATUS

[Date of request for examination] 21.08.1997

[Date of sending the examiner's decision of rejection] 19.09.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3204168

[Date of registration] 29.06.2001

[Number of appeal against examiner's decision of rejection] 2000-16741

[Date of requesting appeal against examiner's decision of rejection] 19.10.2000

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

A

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3204168号

(P3204168)

(45) 発行日 平成13年9月4日 (2001.9.4)

(24) 登録日 平成13年6月29日 (2001.6.29)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 21/8234

H 0 1 L 27/08

1 0 2 D

21/822

27/04

H

27/04

29/78

3 0 1 X

27/088

29/78

発明の数 2 (全 4 頁)

(21) 出願番号 特願平9-196055

(62) 分割の表示 特願昭58-184737の分割

(22) 出願日 昭和58年10月3日 (1983.10.3)

(65) 公開番号 特開平10-84046

(43) 公開日 平成10年3月31日 (1998.3.31)

審査請求日 平成9年8月21日 (1997.8.21)

前置審査

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 桜井 洋一

長野県諏訪市大和3丁目3番5号 株式

会社諏訪精工舎内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

審査官 大嶋 洋一

(56) 参考文献 特開 昭56-85851 (J P, A)

特開 昭58-159363 (J P, A)

特開 昭57-162360 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体集積回路

1

(57) 【特許請求の範囲】

1. 半導体基板の上方に形成されたゲート電極配線と、前記半導体基板内であって、前記ゲート電極配線の一方側に形成されたドレイン領域と、前記半導体基板内であって、前記ゲート電極配線の他方側に形成されたソース領域と、を含み、前記ドレイン領域と前記ソース領域との外周部の平面形状は、略六角形であることを特徴とする半導体集積回路。

2. 請求項1において、前記ゲート電極配線と前記ドレイン領域との間には、第1のオフセット領域が設けられていることを特徴とする半導体集積回路。

3. 請求項2において、前記ゲート電極配線と前記ソース領域との間には、第2のオフセット領域が設けられていることを特徴とする半導体集積回路。

2

4. 第1導電型の半導体領域を有する基板と、前記基板の上方に形成されたゲート電極配線と、前記第1導電型の半導体領域内であって、前記ゲート電極配線の一方側に形成されたドレイン領域となる第2導電型の第1の不純物領域と、前記第1導電型の半導体領域内であって、前記ゲート電極配線の他方側に形成されたソース領域となる第2導電型の第2の不純物領域と、前記第2の不純物領域内に形成され、前記第1導電型の半導体領域とのコンタクト領域となる第1導電型の第3の不純物領域と、前記基板と前記ゲート電極配線との上方に形成された絶縁層と、前記第2の不純物領域と前記第3の不純物領域との上方であって、前記第2の不純物領域と前記第3の不純物領

域との境界を跨いで前記絶縁層に形成された接続孔と、を含み、

前記第1の不純物領域と前記第2の不純物領域との外周部の平面形状は、略六角形であることを特徴とする半導体集積回路。

5. 請求項4において、前記ゲート電極配線と前記第1の不純物領域との間には、第1のオフセット領域が設けられていることを特徴とする半導体集積回路。

6. 請求項5において、前記ゲート電極配線と前記第2の不純物領域との間には、第2のオフセット領域が設けられていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はMOS型半導体集積回路のパターン形状に関するものである。

【0002】

【従来の技術】従来の高出力FET（第1図）は駆動能力を増大させるため、ソース及びドレインの拡散領域は細長く楕形をし、チャンネル幅を長くしている。

【0003】

【発明が解決しようとする課題】しかし、従来のFETでは、ソース及びドレインの拡散抵抗が大きく、またソースと半導体基板とのコンタクトが効率よくとれず、基板電位上昇のため、FETのオン耐圧が低下した。

【0004】この欠点を解決するため特願昭58-18458が出されている。

【0005】本発明はこれをさらに改良するものであり、すべてのソース拡散領域内にソースアルミ配線と半導体基板又はウェルとのコンタクトを設け、FETの大面积化に伴うオン耐圧の低下を防ぐことを目的とする。

【0006】

【課題を解決するための手段】本発明の半導体集積回路は、半導体基板の上方に形成されたゲート電極配線と、前記半導体基板内であって、前記ゲート電極配線の一方側に形成されたドレイン領域と、前記半導体基板内であって、前記ゲート電極配線の他方側に形成されたソース領域と、を含み、前記ドレイン領域と前記ソース領域との外周部の平面形状は、略六角形であることを特徴とする。また、本発明の半導体集積回路は、前記ゲート電極配線と前記ドレイン領域との間には、第1のオフセット領域が設けられていることを特徴とする。また、本発明の半導体集積回路は、前記ゲート電極配線と前記ソース領域との間には、第2のオフセット領域が設けられていることを特徴とする。また、本発明の半導体集積回路は、第1導電型の半導体領域を有する基板と、前記基板の上方に形成されたゲート電極配線と、前記第1導電型の半導体領域内であって、前記ゲート電極配線の一方側に形成されたドレイン領域となる第2導電型の第1の不純物領域と、前記第1導電型の半導体領域内であって、前記ゲート電極配線の他方側に形成されたソース領域と

なる第2導電型の第2の不純物領域と、前記第2の不純物領域内に形成され、前記第1導電型の半導体領域とのコンタクト領域となる第1導電型の第3の不純物領域と、前記基板と前記ゲート電極配線との上方に形成された絶縁層と、前記第2の不純物領域と前記第3の不純物領域との上方であって、前記第2の不純物領域と前記第3の不純物領域との境界を跨いで前記絶縁層に形成された接続孔と、を含み、前記第1の不純物領域と前記第2の不純物領域との外周部の平面形状は、略六角形であることを特徴とする。また、本発明の半導体集積回路は、前記ゲート電極配線と前記第1の不純物領域との間には、第1のオフセット領域が設けられていることを特徴とする。また、本発明の半導体集積回路は、前記ゲート電極配線と前記第2の不純物領域との間には、第2のオフセット領域が設けられていることを特徴とする。

【0007】

【発明の実施の形態】以下、実施例に基づいて本発明を詳しく説明する。

【0008】第2図は、FETのオン電流によるウェル内のキャリアの蓄積によって起こるオン耐圧低下を説明するFETの断面図である。第2図はN型半導体基板の場合を示しているが、P型半導体基板の場合についても全く同様におきかえられる。

【0009】FETのオン電流によって生じたキャリアは、P-ウェル内に入っていく、半導体基板、ソースコンタクト7（P+）で集められる。ところが、ソース、ドレイン間に電圧が印加されていると、ドレイン拡散部分からウェル内に空乏層が拡がり、ウェルがピンチオフされ、抵抗率が大きくなり、ウェル内にキャリアが蓄積されてしまう。

【0010】このため寄生的に発生するNPNトランジスタ8がオンし、オン耐圧が減ってしまう。

【0011】本発明はオン耐圧の低下を防止するために、ソース拡散領域内に一様に分布する様にソース拡散基板コンタクト4を設け、かつその近くにソース拡散とソースアルミ配線とのコンタクト5を設けている。

【0012】これによりウェル内に注入されたキャリアは効率よく放出され、ウェル内のキャリア蓄積は軽減され、オン耐圧は向上する。

【0013】これと相補的なN-ウェルの場合にもたんに議論を拡張することができる。

【0014】第3図（a）は全てが従来の構造のFETのトランジスタの耐圧特性で、第3図（b）は本発明によるFETのトランジスタを85%含む耐圧特性である。本発明は、シリコンゲートトランジスタ及びアルミゲートトランジスタに適用できる。

【0015】第4図、第5図は、本発明の実施例である。

【0016】第4図（a）はトランジスタの一部を上から見た図であり、第4図（b）はトランジスタの点A二

A'間の断面図を表している。ウェル内に注入されたキャリアは4の半導体基板、ソース拡散コンタクトに効率よく収集され、ウェル電位の上昇を抑える。

【0017】ゲート電極はシリコンもしくはアルミニウムである。これはオフセットトランジスタ、及びセルフアライメントトランジスタにも適用できる。

【0018】第5図は、複数のソース及びドレイン拡散領域があるオフセット構造の実施パターン例である。

【0019】各ドレイン領域はアルミ配線で結ばれており、各ソース拡散領域にはソースアルミ配線とのコンタクトのほかに、ソースとウェル、基板とのコンタクトが半分以上設けられている。この様にソース拡散領域の半分以上に様にコンタクトを設けることにより、トランジスタのオン耐圧低下をより効果的におさえることができる。

【0020】以上説明した様に、本発明はFETの大幅積化に伴うオン耐圧低下抑制にすぐれた効果を有する。

【0021】またこれに伴い、CMOSICの特有の現象であるラッチアップに対して、すぐれた抑制効果も有する。さらに外部よりの注入電流に対し、寄生バイポーラ

*ラトランジスタによる電流が少ないため、注入電流による電源電流の増加を防止できる。

【図面の簡単な説明】

【図1】従来の高出力トランジスタ。

【図2】FETのオン電流によるウェル内のキャリア蓄積によって起こるオン耐圧低下の説明。

【図3】本発明によるオン耐圧の劣化防止を示したトランジスタの特性。(a)従来。(b)本発明。

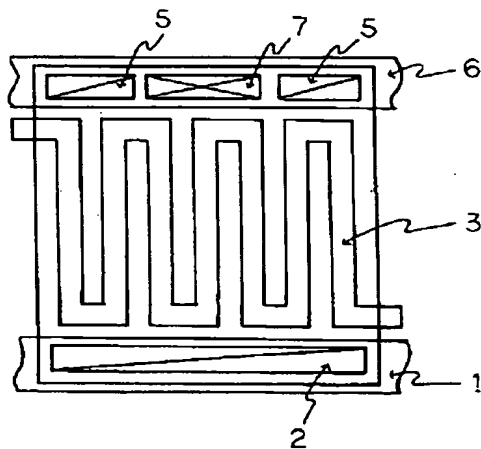
【図4】本発明のトランジスタ。

10 【図5】本発明のオフセット構造のトランジスタ。

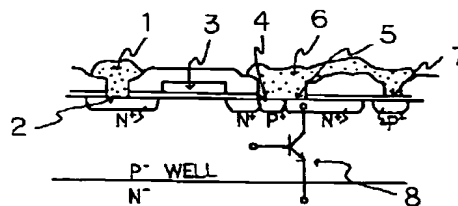
【符号の説明】

- 1 ドレインアルミ配線
- 2 ドrain拡散層アルミ配線コンタクト
- 3 ゲート電極
- 4 ソース拡散とウェル、基板コンタクト
- 5 ソース拡散アルミ配線コンタクト
- 6 ソース配線
- 7 ソース拡散とウェル、基板コンタクト。
- 8 NPN寄生トランジスタ
- 9 オフセット打込み領域

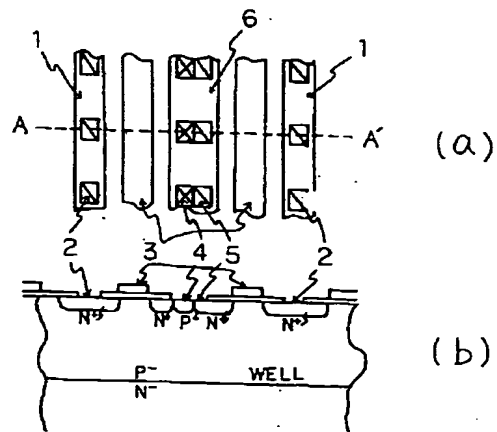
【図1】



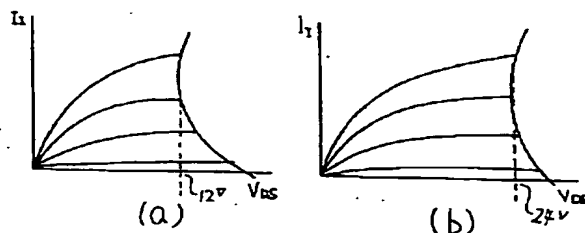
【図2】



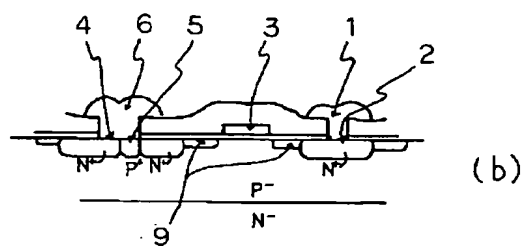
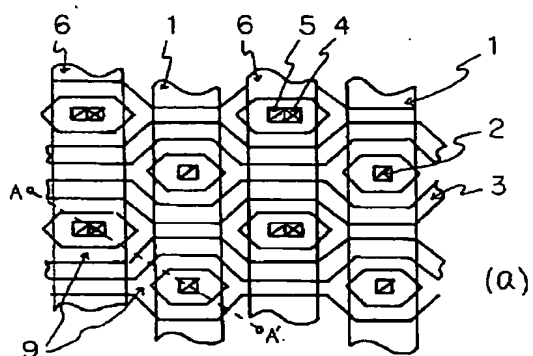
【図4】



【図3】



【図5】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/8234

H01L 21/822

H01L 27/04

H01L 27/088

H01L 29/78